

(11)特許出願公開番号

特開平8-153804

(43)公開日 平成8年(1996)6月11日

### 技術表示箇所

**3 2 1 D**

301 G

審査請求 未請求 請求項の数9 OL (全 15 頁) 最終頁に続く

(74)代理人 弁理士 小池 晃 (外2名)

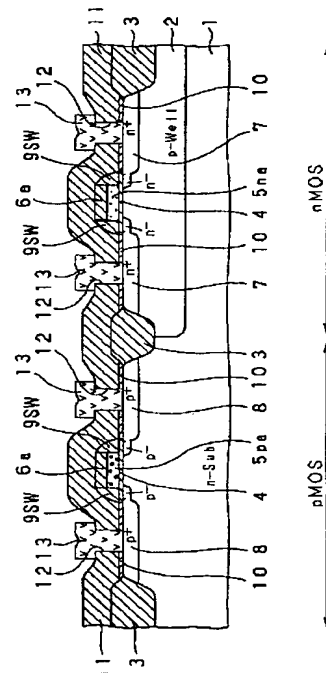
(54) 【発明の名称】 ゲート電極の形成方法

(57) 【要約】

【目的】  $WSi_x$  層単独であっても、 $SiO_2$  膜に対する密着性に優れ、ゲート酸化膜の耐圧を良好に維持可能なゲート電極を形成する。

【構成】  $\text{WF}_6$  の  $\text{SiCl}_2\text{H}_2$  還元にもとづく L P CVD により、 $\text{Si}$  組成比  $x$  の値が 2.7 以上、好ましくは 3.0 以上の  $\text{WSi}_x$  層 5 i を成膜する。この  $\text{WSi}_x$  層 5 i は F 原子の取り込みが少ないため、 $\text{Si}$  原子の結合手はゲート酸化膜 4 の O 原子と十分に結合できる。nMOS、pMOS 両トランジスタの形成領域において  $\text{WSi}_x$  層 5 i に各々 n 型と p 型の不純物をイオン注入した後、これをパターニングすれば、仕事関数の制御されたゲート電極 5 n a、5 p a を形成でき、閾値電圧  $V_{th}$  を対称化することができる。

【効果】 低抵抗で薄型のゲート電極が低コストで実現し、MOSトランジスタの高集積化、動作高速化に寄与する。



1

## 【特許請求の範囲】

【請求項1】 高融点金属フッ化物とクロロシラン系化合物とを含む混合ガスを用いてCVDを行うことにより基板上に高融点金属シリサイド膜を成膜する工程と、前記高融点金属シリサイド膜をパターニングしてゲート電極を形成する工程とを有するゲート電極の形成方法。

【請求項2】 高融点金属フッ化物とクロロシラン系化合物とを含む混合ガスを用いてCVDを行うことにより基板上に高融点金属シリサイド膜を成膜する工程と、前記高融点金属シリサイド膜に仕事関数を制御するための不純物を導入する工程と、前記高融点金属シリサイド膜をパターニングしてゲート電極を形成する工程とを有するゲート電極の形成方法。

【請求項3】 高融点金属フッ化物とクロロシラン系化合物とを含む混合ガスを用いてCVDを行うことにより基板上に高融点金属シリサイド膜を成膜する工程と、前記高融点金属シリサイド膜に仕事関数を制御するための不純物を導入する工程と、前記高融点金属シリサイド膜上に不純物の拡散を防止する拡散防止膜を成膜する工程と、前記拡散防止膜と前記高融点金属シリサイド膜とを一括的にパターニングしてゲート電極を形成する工程とを有するゲート電極の形成方法。

【請求項4】 前記高融点金属シリサイド膜を成膜する工程では、六フッ化タングステンとジクロロシランを含む混合ガスを用いて一般式 $WSi_x$ （ただし、 $x \geq 2.7$ ）で表されるタングステン・シリサイド膜を成膜する請求項1ないし請求項3のいずれか1項に記載のゲート電極の形成方法。

【請求項5】 前記拡散防止膜として金属窒化物膜および／または金属酸窒化物膜を用いる請求項3記載のゲート電極の形成方法。

【請求項6】 前記不純物の導入により、前記高融点金属シリサイド膜の不純物濃度範囲を $10^{20} \sim 10^{22}/cm^3$ のオーダーに設定する請求項2ないし請求項5のいずれか1項に記載のゲート電極の形成方法。

【請求項7】 前記高融点金属シリサイド膜中の不純物を、 $O_2$ もしくは $N_2$ を10%以上含む雰囲気中で熱処理を行うことにより活性化する請求項6記載のゲート電極の形成方法。

【請求項8】 前記熱処理を前記ゲート電極のパターニング後に行う請求項7記載のゲート電極の形成方法。

【請求項9】 前記ゲート電極はMOSトランジスタのゲート電極である請求項1ないし請求項8のいずれか1項に記載のゲート電極の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はMOSトランジスタ等の半導体素子に用いられるゲート電極の形成方法に関し、特にこのゲート電極を高融点金属シリサイド膜単独で形

2

成することにより、低コスト、低抵抗、優れた密着性、高ゲート耐圧といった要件をいずれも満足させ、またこのゲート電極の仕事関数を制御することにより駆動能力の向上と高度な微細化への対応を図る方法に関する。

## 【0002】

【従来の技術】同一基板上にn型MOSトランジスタ（nMOS）とp型MOSトランジスタ（pMOS）とを共存させた相補型MOSトランジスタ（CMOS）回路は、両トランジスタのオン時のみ電流が流れるため消費電力が低く、またその構造から微細化や高集積化に適し、高速動作が実現可能であるといった利点を有し、メモリ系デバイスやロジック系デバイスをはじめとする多くのLSIの構成要素として広く用いられている。

【0003】このCMOS回路には、バルク基板上に形成されるものだけではなく、素子間の完全分離が可能なSOI（Silicon On Insulator）基板を利用したものもある。厚さ500nm程度のSi活性層を有するSOI基板を用いることより、ソフト・エラーの抑制、およびCMOS回路特有の有害な導通現象であるラッチアップの抑制が可能となることは、研究の比較的早い時期から示されていた。これに加えて近年では、Si活性層を100nm程度まで薄膜化し、またチャネル不純物濃度を低下（およそ $1 \times 10^{17}/cm^3$ 以下）してほぼSi活性層の厚さ方向の全体を空乏化させると、短チャネル効果の抑制や電流駆動能力の向上など、優れた性能が得られることが明らかにされている。

【0004】ところで、近年のMOSトランジスタのゲート電極については、（1）構成材料の選択、および（2）微細化に対応した仕事関数の制御、という2つの大きな検討テーマがある。

【0005】まず、（1）の構成材料の選択について説明する。従来からMOSトランジスタのゲート電極材料としては、nMOS、pMOS共に $n^+$ 型ポリシリコン膜、あるいはこの上に高融点金属シリサイド膜を積層したポリサイド膜が用いられてきた。 $n^+$ 型ポリシリコン膜が用いられるのは、この膜が高温プロセスにも良く耐えるからである。しかし、 $n^+$ 型ポリシリコンのシート抵抗は100nmの膜厚で約 $100\Omega/\square$ もあり、LSIの微細化および高集積化の進展と共に、ポリシリコン・ゲート電極の配線抵抗による信号の遅延がLSIの動作速度に対して無視できないレベルとなってきた。かかる背景から、不純物含有ポリシリコン層に比べてアニール後に1桁以上低いシート抵抗が得られる高融点金属シリサイドが注目されるようになってきた。この高融点金属シリサイドの代表例は、 $WSi_x$ （タングステン・シリサイド）である。しかも、この材料は不純物含有ポリシリコン膜よりも仕事関数が大きく、後述するような仕事関数による閾値電圧 $V_{th}$ 制御にも有望である。しかし、 $WSi_x$ 膜は以下の理由により、単層でゲート電極として用いられるには至っていない。

3

【0006】第一に、 $WSi_x$  膜は $SiO_2$  膜に対する密着性に乏しいという問題がある。たとえば、 $WF_6$  (六フッ化タングステン) /  $SiH_4$  (シラン) 混合ガス系を用いる、いわゆるシラン還元CVDでこれを成膜した場合、CVDゆえにスパッタリングとは異なり、下地の $SiO_2$  膜に対する照射損傷は良好に抑えられる反面、 $WSi_x$  膜は極めて剥離し易くなる。これは、シラン還元CVDで成膜された $WSi_x$  膜に通常、 $10^{20}/cm^3$  ものオーダーでF原子が含有されており、 $SiO_2$  膜のO原子と結合すべきSi原子の結合手が、F原子で消費されているためと考えられている。

【0007】第二の問題は、 $WSi_x$  膜の被酸化特性が悪く、膜が脆弱化しやすいことである。 $WSi_x$  のようにWとSiとが共存する系では、Siが先に酸化されて表面に安定な $SiO_2$  膜が形成される可能性があり、外部から充分量のSiが供給される系であれば、この $SiO_2$  膜により $WSi_x$  膜の表面が保護される。しかし、 $WSi_x$  膜単独では表面の保護を行うに十分な膜厚の $SiO_2$  膜が生成されず、この結果、蒸気圧の高い $WO_x$  が生成して膜が脆弱化する原因となる。

【0008】以上のような理由により、サブミクロン ( $0.7 \sim 0.8 \mu m$ ) 以降の世代では、 $WSi_x$  膜は単層膜ではなく、 $n^+$  型ポリシリコン層の上に積層したいわゆるW-ポリサイド (タングステン・ポリサイド) 膜の形で、ゲート電極材料あるいはメモリ/ロジック系デバイスの多層配線材料として広く用いられている。これは、下地の $SiO_2$  膜との界面には従来より使用実績があり、特性も良く理解されているポリシリコン膜を用い、低抵抗化はその上に積層された $WSi_x$  膜で図するという考え方にもとづいている。

【0009】次に、(2) 微細化に対応した仕事関数の制御について説明する。従来からMOSトランジスタのゲート電極の構成材料として $n^+$  型ポリシリコン膜、あるいはこの上に高融点金属シリサイド膜を積層したポリサイド膜が利用されてきた背景には、上述した耐熱性の他に、チャンネル・プロファイルが埋込み型となるために高いバルク移動度を利用して動作を高速化できることがある。しかし、埋込みチャンネル型のMOSトランジスタでは、ソース/ドレイン領域から迫り出している空乏層の先端がゲート電界の影響により基板の深い部分で互いに接近するため、パンチスルーが生じ易い問題がある。したがって、デザイン・ルールがディープ・サブミクロン以下に縮小される世代では、埋込みチャンネル型では短チャンネル効果の抑制が困難となり、ゆえに表面チャンネル型の採用が望まれる。

【0010】CMOSにおいてはさらに、 $nMOS$  と  $pMOS$  の閾値電圧  $V_{th}$  を対称化することが要求される。 $nMOS$ 、 $pMOS$  のいずれのゲート電極にも $n^+$  型ポリシリコン膜を用いていた従来のCMOS回路では、 $nMOS$  と  $pMOS$  との間に仕事関数差が存在し、この差

4

に起因して閾値電圧 ( $V_{th}$ ) が非対称となっている。 $CMOS$  インバータとして基本ゲートを構成した場合の信号伝達特性を対称化するためには、 $V_{th}$  を対称化する必要があるが、通常は $pMOS$  のチャンネル領域に浅くホウ素をイオン注入し、両トランジスタの $V_{th}$  をほぼ等しく (通常は1V以下) 設定している。しかし、 $V_{th}$  調整用のイオン注入により基板表面の不純物濃度を上昇させると、基板表面付近のキャリア移動度が低下して動作高速化に不利となる。

【0011】 $SOI$  基板上のMOSトランジスタについても、同様の問題が起こる。すなわち、 $n^+$  型ポリシリコン・ゲート電極を有する $nMOS$  の $V_{th}$  をエンハンスメント型に必要な  $0.5 \sim 1.0 V$  に設定しようとする、必要なチャンネル不純物濃度は  $10^{17}/cm^3$  以上ものオーダーに跳ね上がってしまう。

【0012】さらに、ゲート長が  $0.1 \mu m$  レベルにまで微細化された際には、トランジスタ1個あたりの $V_{th}$  制御に寄与するチャンネル不純物の絶対数が少なくなり、統計的なゆらぎによる $V_{th}$  の変動が相対的に無視できなくなることが、1994年シンポジウム・オンVLSIテクノロジー抄録集、講演番号2.3に報告されている。このように、高速化の障害あるいはゆらぎの問題を避け難いチャンネル不純物を用いた $V_{th}$  制御は、いずれ限界に突き当たる。したがって、チャンネル・プロファイルを表面チャンネル型とし、またチャンネル不純物濃度の低い領域で良好な $V_{th}$  調整を行うためには、ゲート電極の仕事関数の制御が不可欠である。

【0013】仕事関数による $V_{th}$  制御の具体例としては、まず $nMOS$  のゲート電極に $n^+$  型ポリシリコン膜、 $pMOS$  のゲート電極に $p^+$  型ポリシリコン膜をそれぞれ用いた、いわゆるデュアル・ゲート型のCMOSが知られている。

【0014】1994年シンポジウム・オンVLSIテクノロジー抄録集、演題番号2.2には、 $SOI$  基板上に形成された $p^+ - n^+$  ダブル・ゲート型のMOSトランジスタが示されている。これは、フロント・ゲート電極に $p^+$  型ポリシリコン膜、バック・ゲート電極に $n^+$  型ポリシリコン膜を用いたMOSトランジスタであり、短チャンネル効果を抑制しながら $V_{th}$  を  $0.3 V$  未満に低下させることに成功している。

【0015】また、1993年IEDM抄録集、演題番号30.2.1には、 $SOI$  基板上に50%のGeを含む多結晶 $SiGe$  を用いてゲート電極を形成したMOSトランジスタが示されている。ここでは、チャンネル不純物濃度が低くても $V_{th}$  を  $0.5 V$  近傍まで下げ、完全デブリジョン型で温度による $V_{th}$  変動の少ないCMOSの作成に成功している。

【0016】さらに、1985年IEDM抄録集、演題番号15.5には、 $1 \times 10^{12-15}/cm^2$  のオーダーで不純物をドーピングした $Si$  リッチな $MoSi_x$  ゲー

5

ト電極を用いたCMOSが示されている。このCMOSでは、MoSi<sub>x</sub>膜とゲート酸化膜との界面にフェルミ準位の変化が温度に依存するような非縮退型のSi層を偏析させることにより、温度によるV<sub>th</sub>の変動を補償している。

【0017】

【発明が解決しようとする課題】しかしながら、かかる経緯で実用化されてきたW-ポリサイド膜、および従来より検討されている仕事関数によるV<sub>th</sub>制御には、以下のような問題がある。

【0018】まず、W-ポリサイド膜に関する問題点について述べる。W-ポリサイド膜は、ドライエッチングによる異方性加工が困難である。これは、上層側のWSi<sub>x</sub>膜の主エッチング種が塩素、下層側のポリシリコン膜の高選択エッチングを行うための主エッチング種が臭素といったように、両者の最適エッチング条件が大きく異なっており、両層に対して共に異方性加工を達成しようとすると、途中でエッチング条件を切り換えるマルチ・ステップ・プロセスが必要となるからである。しかし、ゲート電極の薄膜化に伴って切り換えタイミングのずれに対するマージンが減少している上、タイミング判定そのものが、LSIの表面段差の増大と共に困難となっている。したがって、ドライエッチング装置に著しく高度な制御性が備わっていない限り、W-ポリサイド膜の加工は困難である。

【0019】第二に、WSi<sub>x</sub>膜の成膜前には厳密なポリシリコン表面の洗浄を要する。W-ポリサイド膜の成膜工程では、ポリシリコン膜を成膜した後に一旦ウェハを大気開放するが、WSi<sub>x</sub>膜を良好な密着性をもって積層するためには、この大気開放時に該ポリシリコン膜の表面に成長する自然酸化膜を完全に除去しなければならない。自然酸化膜の除去は通常、希フッ酸水溶液にウェハを浸漬するディップ洗浄により行われているが、ウェハの乾燥時に液滴が付着した部分に自然酸化膜が残る現象、いわゆるウォーター・マークが発生し、歩留りを著しく低下させることが問題となっている。この問題を解決するために、クラスター・ツールを用い、ウェハを途中で大気開放せずにポリシリコン膜とWSi<sub>x</sub>膜との連続成膜を行うことも考えられるが、コスト・メリットが生ずるか否かは未だに明確ではない。

【0020】第三に、WSi<sub>x</sub>膜がポリシリコン膜と積層されることにより、ゲート酸化膜の増速酸化が生ずる虞れがある。WSi<sub>x</sub>膜には前述のように、成膜原料ガスであるWF<sub>6</sub>に由来するF原子が大量に取り込まれているが、このF原子がゲート酸化膜中へ拡散すると、次式の反応



が進行し、F原子の取り込みが継続すると共に、遊離の酸素が放出される。この放出された酸素は、ゲート酸化膜とポリシリコン膜との間の界面に拡散して新たな酸化

6

膜を成長させるため、ゲート酸化膜の膜厚を変動させ、その結果としてMOSトランジスタの閾値電圧V<sub>th</sub>をばらつかせる原因となる。

【0021】第四に、下層側のポリシリコン膜は、低抵抗化にはほとんど寄与しておらず、W-ポリサイド膜の総体的なシート抵抗は100nmの膜厚の場合(WSi<sub>x</sub>膜50nm+ポリシリコン膜50nm)はおおよそ20Ω/□が限度である。したがって、LSIの高さ方向の微細化を図る観点からも不利である。

【0022】第五に、W-ポリサイド膜は2層構造をとるため、前処理、成膜、膜の加工といったあらゆるステップにおいて不可避免的に工程数が増大したり、工程が複雑化したりする。このことは、LSIの製造コストを上昇させる原因となる。

【0023】このように、W-ポリサイド膜は、シート抵抗やコストをある程度犠牲にしながら用いられてきたものであり、その2層構造に特有の問題点も抱えている。したがって、SiO<sub>2</sub>膜に対する密着性や被酸化特性上の問題点が解決されれば、WSi<sub>x</sub>膜を単独でゲート電極として使用の方が、抵抗やコストの面からはるかに有利である。また、n<sup>+</sup>型ポリシリコン膜よりも仕事関数大きいWSi<sub>x</sub>膜は、V<sub>th</sub>制御にも有効である。同様のことは、WSi<sub>x</sub>膜以外の高融点金属シリサイド膜についても言える。

【0024】次に、従来の仕事関数によるV<sub>th</sub>制御の問題点について述べる。まず、n<sup>+</sup>型とp<sup>+</sup>型のポリシリコン膜を用いたデュアル・ゲート型CMOSについては、nMOSおよびpMOSのチャネル・プロファイルを共に表面チャネル型とすることによりパンチスルー耐性を向上させることができるが、ゲート電極の仕事関数に応じたチャネル不純物濃度の調整は、依然として必要である。しかも、ゲート長が0.1μmレベルまで微細化された場合には、チャネル不純物濃度が10<sup>18</sup>/cm<sup>3</sup>のオーダーに達し、これがトランジスタの電流駆動能力を劣化させる原因となる。

【0025】一方、前述のp<sup>+</sup>-n<sup>+</sup>ダブル・ゲートを用いる手法は、SOI基板上のトランジスタに限定されるものであり、かつV<sub>th</sub>が活性領域となるSi膜やゲート酸化膜の膜厚に非常に敏感であるため、デバイス設計の自由度が減少する欠点がある。

【0026】また、前述のSiGeを用いてゲート電極を用いる手法は、ミッド・バンド・ギャップ近傍の仕事関数の制御が困難である。

【0027】さらに、前述のMoSi<sub>x</sub>ゲート電極を用いる手法では、MoSi<sub>x</sub>膜の成膜をスパッタリング法で行っているため、ステップ・カバレッジの悪さに起因する段差部分での配線抵抗の上昇や、成膜時のイオン照射損傷に起因するゲート酸化膜の耐圧劣化を免れることができず、将来の微細デバイスに適用するには不十分である。

7

【0028】このように、従来からMOSトランジスタのゲート電極の仕事関数制御が種々提案されているものの、未だ決め手を欠いているのが実情である。そこで本発明は、MOSトランジスタ等の半導体素子のゲート電極を高融点金属シリサイド膜単独で形成した場合にも、低コスト、低抵抗、優れた密着性、高ゲート耐圧といった要件をいずれも満足でき、さらにその仕事関数の制御を通じてチャネル不純物濃度の低い領域でも良好な $V_{th}$ 制御を可能とするゲート電極の形成方法を提案することを目的とする。

【0029】

【課題を解決するための手段】本発明のゲート電極の形成方法は、上述の目的を達するために提案されるものであり、高融点金属フッ化物とクロロシラン系化合物とを含む混合ガスを用いてCVDを行うことにより基板上に高融点金属シリサイド膜を成膜する成膜工程と、前記高融点金属シリサイド膜をパターニングしてゲート電極を形成するパターニング工程とを経るものである。成膜後の上記高融点金属シリサイド膜には、仕事関数を制御するための不純物を導入し、しかる後にパターニングを行ってゲート電極としても良い。また、かかる不純物導入を行った際は、上記高融点金属シリサイド膜上に不純物の拡散を防止する拡散防止膜を成膜し、パターニング工程においてこの拡散防止膜と高融点金属シリサイド膜とを一括的にパターニングすると、後工程でアニールが行われても不純物の外方拡散を抑制することができ、好適である。この場合の拡散防止膜としては、金属窒化物膜および／または金属酸窒化物膜を用いることができる。具体的には、Ti、W、Siの窒化物膜または酸窒化物膜が挙げられる。

【0030】本発明で用いられるクロロシラン系化合物とは、シラン( $SiH_4$ )またはポリシラン( $Si_nH_{2n+2}$ )の水素分子の少なくとも1個が塩素(Cl)原子に置換された誘導体である。また、上記高融点金属シリサイド膜は従来公知のものであって良く、例示すれば $WSi_x$ 膜、 $MoSi_x$ (モリブデン・シリサイド)膜、 $TiSi_x$ (チタン・シリサイド)膜、 $TaSi_x$ (タンタル・シリサイド)膜等である。

【0031】前記高融点金属シリサイド膜を成膜する工程では、六フッ化タングステン( $WF_6$ )とジクロロシラン( $SiCl_2H_2$ )を含む混合ガスを用いたCVDにより、一般式 $WSi_x$ で表されるタングステン・シリサイド膜を成膜することが好適である。しかも、本発明者が実験的に見出したところによると、上記組成式中の $x$ を2.7以上とした場合に、膜厚10nm近傍の極薄ゲート酸化膜の耐圧を良好に維持することができる。ゲート酸化膜の厚さが30nm程度であった世代までは、従来のシラン還元により成膜される一般的な $WSi_x$ 膜( $x \approx 2.6$ )であってもゲート耐圧はそれほど問題と

8

ゲート酸化膜の耐圧は保証することができない。すなわち、本発明で用いられる $WSi_x$ 膜は、従来の一般的な $WSi_x$ 膜よりもSiリッチである。 $x \geq 3.0$ であれば、一層望ましい。なお、 $x$ の値の上限はここでは特に規定されるものではないが、Siリッチになり過ぎるとシート抵抗が上昇するため、実用範囲には自ずと限度がある。

【0032】上記高融点金属シリサイド膜への不純物導入の方法は、気相拡散、固相拡散、イオン注入のいずれでも構わない。この不純物導入は、マスクを用いて高融点金属シリサイド膜の所定の領域に選択的に行うこともでき、たとえばレジスト・マスクを介したイオン注入により、各々異なる種類の不純物、もしくは異なる濃度の不純物を異なる領域に導入することができる。この後、これらの領域の各々においてパターニングを行えば、仕事関数の異なる複数のゲート電極を同時に形成することが可能となる。

【0033】高融点金属シリサイド膜へ不純物を導入する場合は、不純物濃度範囲を $10^{20} \sim 10^{22}/cm^3$ のオーダーに設定すると良い。不純物濃度が上記範囲よりも少ない場合には、仕事関数が有意に変化せず、所望の $V_{th}$ 調整を行うことができない。また、上記範囲よりも多いと、上記不純物導入が特にイオン注入で行われる場合に問題が生ずる。すなわち、ゲート電極のような薄い膜へイオン注入を行う場合には、ゲート電極の下側へのイオン突き抜けを防止するためにイオン加速エネルギーを低下させているので、余り高濃度にイオン注入を行おうとすると所要時間が著しく増大し、プロセスの実用性が損なわれてしまう。また、イオン注入時にはマスクとして用いられるレジスト・パターンにも同様に大量の不純物が導入されるが、このようなレジスト・パターンはドーパントの種類によっては内部で架橋反応を起こすなどして硬化する。一旦硬化したレジスト・パターンは、通常の $O_2$ プラズマ・アッシングでは完全に除去できないばかりか、表面硬化層の破裂に起因するポッピング残渣で基板表面を汚染する原因となる。

【0034】ところで、前述の不純物の外方拡散の抑制は、熱処理方法を適切に選択して高融点金属シリサイド膜の結晶性を制御することによっても可能である。すなわち、拡散経路となる結晶粒界にゲート電極の性能に影響を与えない他の元素を偏析させてこれをブロックするか、あるいは結晶粒成長を抑制することにより粒界そのものを減少させる2通りの手法が考えられる。前者の手法としては、上記熱処理を $O_2$ または $N_2$ を10%以上含む雰囲気中で行うことが挙げられる。雰囲気中の $O_2$ 含有量または $N_2$ 含有量は、10%未満であると熱処理の所要時間が長くなり、デバイス特性やスループットに悪影響が現れる虞れが大きい。含有量の上限は特に規定されるものではなく、100%であっても構わない。また後者の手法としては、上記熱処理をゲート電極のパタ

9

ーニング後に行うことが挙げられる。なお、熱処理の手法は電気炉を用いたファーネス・アニール、ハロゲン・ランプを用いたラピッド・サーマル・アニール(RTA)など、従来公知の手法を採用すれば良い。

【0035】本発明で形成されるゲート電極は、MOSトランジスタのゲート電極として好適である。本発明で用いられるような高融点金属シリサイドの仕事関数は、ノンドープ状態でも一般にSiのバンド・ギャップ付近に位置している。したがって、かかる材料を用いてMOSトランジスタのゲート電極を形成すれば、チャンネル領域にそれほど大量の不純物を導入しなくても、トランジスタの閾値電圧 $V_{th}$ を適当な値に調整することができる。ポリシリコン・ゲート電極あるいはW-ポリサイド・ゲート電極を用いた従来のMOSトランジスタでは、閾値電圧 $V_{th}$ をたとえば約0.6Vとするためにチャンネル不純物濃度を $10^{17}/\text{cm}^3$ のオーダー以上に高めることが必要であったが、WSi<sub>x</sub>ゲート電極を用いれば、ノンドープ状態でもチャンネル不純物濃度は $10^{16}/\text{cm}^3$ のオーダー以下で十分である。このとき、電子の移動度 $\mu_n$ は不純物による散乱が少なくなる分増大し、室温で約2倍となることが知られている。したがって、本発明によれば、MOSトランジスタの電流駆動能力(電子の移動度 $\mu_n$ に比例)を約2倍に上昇させることができる。

【0036】

【作用】SiO<sub>2</sub>膜中のO原子は、WSi<sub>x</sub>膜のW原子よりも、Si原子とより強く結合する。したがって、WSi<sub>x</sub>膜中のSi原子の結合手がいかに多くSiO<sub>2</sub>膜中のO原子と結合できるかが、WSi<sub>x</sub>膜のSiO<sub>2</sub>膜に対する密着性に大きく寄与する要因となる。ジクロロシラン還元によるCVDで成膜されたWSi<sub>x</sub>膜は、おそらくその成膜温度の高さによる結晶性の良さに起因して、シラン還元によるWSi<sub>x</sub>膜よりもF原子の取り込み量が3桁も低い( $1 \times 10^{17}/\text{cm}^3$ )ため、Si原子の有効な結合手がF原子に消費されている割合が少ない。したがって、照射損傷によるSi原子のダングリング・ボンドの生成が比較的少ないと言われるCVDでも、SiO<sub>2</sub>膜に対する密着性に優れたWSi<sub>x</sub>膜を形成することができる。しかも、W原子に対するSi原子の組成比xを2.7以上とすること、すなわち化学量論的組成よりもSiリッチとすることにより、厚さ10nmレベルのゲート酸化膜の耐圧も良好に維持することができる。したがって、従来では困難であったWSi<sub>x</sub>膜単独によるゲート電極の形成が可能となる。しかも、CVD成膜はスパッタリング成膜と異なりカバレッジに優れ、しかもイオン照射損傷が少ないので、段差部分での抵抗上昇やゲート絶縁膜の絶縁耐圧劣化も抑制できる。

【0037】また、上記WSi<sub>x</sub>膜は、その仕事関数がSiのバンド・ギャップに近いことから、MOSトランジスタのゲート電極とされた場合に、チャンネル不純物濃

10

度の低い、したがってキャリア移動度が高く、電流駆動能力に優れたMOSトランジスタを構成できるメリットを有する。このWSi<sub>x</sub>膜にさらに不純物を導入することにより、ミッド・バンド・ギャップ近傍で仕事関数を制御することが可能となり、将来デバイスに向けた高性能化を図ることができる。また、このように不純物を導入した場合、後処理として必ず不純物活性化のための熱処理が必要となるが、このときWSi<sub>x</sub>層上に拡散防止膜として金属窒化物層および/または金属酸窒化物層を成膜するか、O<sub>2</sub>またはN<sub>2</sub>を結晶粒界に偏析させて拡散経路をブロックするか、あるいは熱処理をゲート電極のパターニング後に行うことで結晶粒成長を抑制してアモルファスに近い状態を維持することにより、不純物の外方拡散を抑制して仕事関数の変動を防止することができる。

【0038】

【実施例】以下、本発明の具体的な実施例について説明する。

【0039】実施例1

本実施例では、様々なSi組成比xの値を有するWSi<sub>x</sub>層を用いて薄いゲート酸化膜上にゲート電極を形成してMOSキャパシタを構成し、上記xの値とゲート酸化膜の耐圧との関係について検討した。

【0040】まず、常法に従って素子分離の行われたn型Si基板上に、熱酸化により厚さ11nmのゲート酸化膜を成長させた。その後、直ちにこの基板をLPCVD装置に搬入し、この上にジクロロシラン還元CVDによりWSi<sub>x</sub>膜を成膜した。このときの成膜条件を以下に示す。

【0041】

WF <sub>6</sub> 流量	1.6	SCCM
SiCl <sub>2</sub> H <sub>2</sub> 流量	80~160	SCCM
Ar 流量	100	SCCM
ガス圧	40	Pa
基板温度	680	℃

上記WSi<sub>x</sub>膜のSi組成比xは、SiCl<sub>2</sub>H<sub>2</sub>流量にもとづいて変化させることができる。この流量が80SCCM, 100SCCM, 120SCCM, 140SCCM, 160SCCMと変化するにつれて、xの値はx=2.6, x=2.7, x=2.8, x=2.9, x=3.0と変化した。このうち、x=2.7以上のWSi<sub>x</sub>層が本発明の範囲に含まれるものであり、いずれもゲート酸化膜に対する密着性は良好であった。

【0042】このWSi<sub>x</sub>層を面積5mm<sup>2</sup>のゲート電極に加工してMOSキャパシタを形成し、ゲート酸化膜のT<sub>2</sub>DB(初期不良絶縁破壊)特性を測定した。また、比較のため、WSi<sub>x</sub>層の替わりにポリシリコン層を用いてゲート電極を形成した場合についても、同様の測定を行った。

【0043】結果を図1ないし図4に示す。これらの図

50

11

面は、縦軸に絶縁破壊を起こしたMOSキャパシタの相対頻度(%)、横軸に絶縁破壊電界(MV/cm)をとったヒストグラムであり、図1ないし図3は本発明のWSi<sub>x</sub>層(それぞれx=2.8, x=2.9, x=3.0)を用いた場合、図4は比較例のポリシリコン層を用いた場合を表している。絶縁破壊は一般に1MV/cm未満の領域に現れ、ピンホール等の初期欠陥に起因するAモード破壊、1~5MV/cmの領域に現れ、ゲート酸化膜の表面の汚染や欠陥に起因するBモード破壊、および5MV/cm以上の領域に現れ、ゲート酸化膜の本10来の耐圧(真性耐圧)を表すCモード破壊に分類されるが、ここではCモード破壊の頻度を良品率として表している。

【0044】まず、比較例のポリシリコン層を示す図4をみると、良品率が100%となっており、この層がSiO<sub>2</sub>との間の界面特性において優れた実績を示していることが伺えるが、シート抵抗が高いために動作高速化には限界がある。

【0045】これに対し、本発明のWSi<sub>x</sub>層では、Si組成比xの値が上昇するにつれて良品率が上昇し、x=3.0の時には97.3%もの良品率が達成されることがわかった。これは、成膜時のWF<sub>6</sub>に対するSiCl<sub>2</sub>H<sub>2</sub>の流量比が大きくなることにより、ゲート耐圧を劣化させる原因である副生成物HFの生成比が低下したためである。

#### 【0046】実施例2

本実施例では、実施例1にて最も優れたゲート耐圧が確保できたSi組成比x=3.0のWSi<sub>x</sub>層を用い、CMOSのゲート電極を形成した例である。このプロセスを、図5ないし図9を参照しながら説明する。

【0047】まず、図5に示されるように、n型のSi基板1(n-Sub)に高エネルギー・イオン注入およびアニールによりp型ウェル2(p-Well)を形成し、続いてLOCOS法により素子分離領域3を形成し、さらに熱酸化により厚さ11nmのゲート酸化膜4を形成した。

【0048】このゲート酸化膜4の形成後、混酸ボイル等の前処理は特に行わずに基板を直ちにLPCVD装置に搬入し、一例として下記の条件でWSi<sub>x</sub>膜を成膜した。

#### 【0049】

WF <sub>6</sub> 流量	1.6	SCCM
SiCl <sub>2</sub> H <sub>2</sub> 流量	160	SCCM
Ar 流量	100	SCCM
ガス圧	40	Pa
基板温度	680	℃
成膜時間	80	秒

これにより、図6に示されるように、基板の全面にWSi<sub>x</sub>膜5i(添字iは真性であることを示す。)を約100nmの厚さに成膜した。このWSi<sub>x</sub>膜5iのSi

12

組成比xは3.0であり、下地のゲート酸化膜4に対して良好な密着性を示した。

【0050】続いて、上記WSi<sub>x</sub>膜5i上に、オフセットSiO<sub>2</sub>膜6を形成した。このときの成膜は、たとえばSiH<sub>4</sub>/O<sub>2</sub>系によるプラズマCVD、あるいはSiCl<sub>2</sub>H<sub>2</sub>/N<sub>2</sub>O系によるLPCVDにて行うことができる。上記オフセットSiO<sub>2</sub>膜6は、後述のソース/ドレイン領域(図7の符号7, 8を参照。)を形成するためのイオン注入からゲート電極(図7の符号5iaを参照。)を保護する役割と、ゲート電極5iaを酸化雰囲気から遮断する役割とを果たすものである。

【0051】次に、図示されないレジスト・マスクを用い、まず一例としてマグネトロンRIE装置とCHF<sub>3</sub>/O<sub>2</sub>混合ガスを用いて上記オフセットSiO<sub>2</sub>膜6をドライエッチングし、図7に示されるようなオフセットSiO<sub>2</sub>膜パターン6a(添字aは、異方性加工された部材であることを示す。以下同様。)を形成した。

【0052】次に、基板を有磁場マイクロ波プラズマ・エッチング装置に搬入し、共通マスクにてWSi<sub>x</sub>層5iを、一例として下記の条件でエッチングした。

#### 【0053】

Cl <sub>2</sub> 流量	72	SCCM
O <sub>2</sub> 流量	8	SCCM
ガス圧	0.4	Pa
マイクロ波パワー	850	W (2.45 GHz)
RFバイアス・パワー	40	W (13.56 MHz)
基板温度	0	℃

この工程では、エッチング反応生成物SiO<sub>x</sub>からなる側壁保護膜(図示せず。)が形成されながらエッチングが異方的に進行し、図7に示されるように垂直壁を有する線幅約0.2μmのゲート電極5iaが形成された。

【0054】なお、上記のプロセスでは共通のレジスト・マスクを用いてオフセットSiO<sub>2</sub>膜6とWSi<sub>x</sub>層5iとを順次エッチングしたが、別の方法として、オフセットSiO<sub>2</sub>膜6のエッチングを終了した後、一旦レジスト・マスクを除去し、残ったオフセットSiO<sub>2</sub>膜6のパターンをマスクとしてWSi<sub>x</sub>層5iをエッチングしても良い。この方法によれば、レジスト・マスクの側壁面が無くなる分だけ側壁保護膜の付着面積が減少するので、側壁保護膜を除去するための後処理の負荷を軽減し、また側壁保護膜に起因するダスト発生を低減することができる。

【0055】さらに、図示されないレジスト・マスクを用い、nMOS形成領域とpMOS形成領域の各々に対してn型不純物とp型不純物をイオン注入で打ち分けることにより、p型ウェル4の表層部にはn-型のソース/ドレイン領域7、Si基板の表層部にはp-型のソース/ドレイン領域8を、それぞれゲート電極5iaに対

13

して自己整合的に形成した。

【0056】次に、図8に示されるように、通常のSiO<sub>2</sub>膜の全面堆積およびエッチバックにより、上記ゲート電極5iaの側壁面にサイドウォール9SWを形成した。このエッチバックは、Si基板1(p型ウェル2を含む。)が露出するまで行った。その後、熱酸化を行って、Si露出面に厚さ10nm程度の薄いSiO<sub>2</sub>膜10を形成した。この薄いSiO<sub>2</sub>膜10は、次に述べるイオン注入時のチャネリング防止膜として設けられるものである。なお、この熱酸化時、ゲート電極5iaはオフセットSiO<sub>2</sub>膜パターン6aおよびサイドウォール9SWに囲まれているため、酸化雰囲気曝露されることがなく、したがって、WO<sub>3</sub>の生成によるゲート電極5iaの脆弱化や剥離は生じなかった。

【0057】続いて、図示されないレジスト・マスクを用い、nMOS形成領域とpMOS形成領域の各々に対してn型不純物とp型不純物をイオン注入で打ち分けた。このイオン注入により、双方のMOSトランジスタの形成領域において、LDD構造を有するソース/ドレイン領域7、8がそれぞれ形成された。

【0058】なお、ソース/ドレイン領域7、8を形成するための上記2回のイオン注入における不純物の飛程は、オフセットSiO<sub>2</sub>膜パターン6aの膜厚を超えるものではないため、上記ゲート電極5iaに何ら影響は及ばなかった。これらのイオン注入により導入された不純物は、通常のアニールにより活性化させた。

$$\tau = \tau_g + \tau_i + \tau_L$$

$$\approx \tau_g + \tau_L$$

ここで、 $\tau_g$ はゲート抵抗 $R_g$ とゲート容量 $C_g$ の積、 $\tau_L$ はトランジスタのオン抵抗 $R_{on}$ と負荷容量 $C_L$ の積でそれぞれ近似することができる。ゲート抵抗 $R_g$ は、シート抵抗 $R_s$ に比例する量である。また、オン抵抗 $R_{on}$ はチャネル抵抗 $R_{ch}$ と寄生抵抗 $R_{para}$ の和であるが、※

$$\tau_g \approx R_g \times C_g$$

$$= \{R_s \times (W/L)\} \times C_g$$

(ただし、Wはゲート幅、Lはゲート長)

$$\tau_L = R_{on} \times C_L$$

$$= (R_{ch} + R_{para}) \times C_L$$

$$\approx R_{ch} \times C_L$$

よって、

$$\tau \approx \{R_s \times (W/L)\} \times C_g + (R_{ch} \times C_L) \quad \dots (iv)$$

である。

【0065】ここで、W-ポリサイド・ゲートをWSi<sub>x</sub>単層膜ゲートに変更した場合を考えると、シート抵抗 $R_s$ は20Ω/□から10Ω/□に変化することになり、式(iv)の $R_s$ は1/2となる。また、本明細書の「課題を解決するための手段」の欄で論じたように、電流駆動能力は最大で2倍になる。これは、式(iv)のチャネル抵抗 $R_{ch}$ の値が1/2になることを意味している。したがって、信号遅延時間 $\tau$ も全体として最大1/2と

14

\*【0059】この後、図9に示されるように、基板の全面にSiO<sub>2</sub>層間絶縁膜11を堆積させた後、これをパターニングしてソース/ドレイン領域7、8、およびゲート電極5iaの図示されない領域に臨むコンタクト・ホール12を開口した。さらに、通常のメタライゼーション工程により、たとえばバリヤメタルとAl-1%Si膜からなるAl系多層膜を全面被着させた後、これをパターニングし、電極13を形成してCMOSを完成した。

【0060】ここで、上述のようにして完成されたCMOSの動作速度が、従来のポリシリコン・ゲート電極あるいはW-ポリサイド・ゲート電極を用いた従来のCMOSに比べてどの程度上昇するかを検討した。

【0061】まず膜厚100nmのポリシリコン膜、W-ポリサイド膜、およびWSi<sub>x</sub>膜のシート抵抗 $R_s$ を比較すると、各々約100Ω/□、20Ω/□、10Ω/□である。

【0062】次に、信号遅延時間 $\tau$ を試算してみる。信号遅延時間 $\tau$ は、ゲートに入力信号が入ってからゲート電位が立ち上がるまでの時間 $\tau_g$ と、トランジスタがオンとなるための真性の時間 $\tau_i$ と、トランジスタのオン電流により負荷容量 $C_L$ が充電されるまでの時間 $\tau_L$ の和で表される。ただし、通常は $\tau_i \ll \tau_g$ 、 $\tau_L$ なので、 $\tau_i$ は無視できる。以上のことを表すと、式(i)となる。

【0063】

... (i)

※微細化によりデバイス特性を向上させようとしている時は $R_{ch} \gg R_{para}$ なので、 $R_{para}$ は無視できる。以上のことを表すと、式(ii)、(iii)となる。

【0064】

... (ii)

... (iii)

なる。つまり、本実施例で完成されたCMOSは、従来のトランジスタに比べて最大約2倍の動作速度を達成できることがわかった。

【0066】実施例3

本実施例では、実施例2のnMOSとpMOSの各ゲート電極の仕事関数をイオン注入により変化させた。このプロセスを図5、および図10ないし図13を参照しながら説明する。ただし、実施例2と共通する部分については詳細な説明を省略する。



15

【0067】まず、図5に示されるように、ゲート酸化膜4の形成までを実施例1と同様に行った。次に、後にnMOSとpMOSのチャネル領域にそれぞれ（イオン種）および（イオン種）をそれぞれイオン注入し、各チャネル領域の不純物濃度を $1 \times 10^{16}/\text{cm}^3$ のオーダーとした。

【0068】次に図10に示されるように、基板の全面にWSi<sub>x</sub>層5iを堆積させた。このWSi<sub>x</sub>層5iのうち、pMOSの形成領域をレジスト・マスク14で被覆し、露出部分にヒ素（As<sup>+</sup>）のイオン注入を行ってこれをn<sup>+</sup>型のWSi<sub>x</sub>層5nに変化させた。このときのイオン注入条件は、たとえばイオン加速エネルギー20keV、ドーズ量 $5 \times 10^{15}/\text{cm}^2$ （濃度にして $1 \times 10^{20}/\text{cm}^3$ ）のオーダーとした。

【0069】次に、図11に示されるように、nMOSの形成領域をレジスト・マスク15で被覆し、露出部分にホウ素（B<sup>+</sup>）のイオン注入を行ってこれをp型のWSi<sub>x</sub>層5pに変化させた。このときのイオン注入条件は、たとえばイオン加速エネルギー15keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ （濃度にして $5 \times 10^{20}/\text{cm}^3$ ）のオーダーとした。

【0070】続いて、図12に示されるように、基板の全面にオフセットSiO<sub>2</sub>膜6を堆積させた。

【0071】この後、ドライエッチングによるゲート電極5na、5paの形成、サイドウォール9SWの形成、ソース/ドレイン領域7、8の形成、活性化アニール、SiO<sub>2</sub>層間絶縁膜11の形成、コンタクト・ホール12の開口、電極13の形成を実施例2と同様に行った。さらに、ソース/ドレイン領域7、8およびゲート電極5na、5paに含まれる不純物を活性化させるため、上記の基体を電気炉に搬入し、一例として100%乾燥O<sub>2</sub>雰囲気中、850℃、30分間の熱処理を行い、図13に示されるようなCMOSトランジスタを完成した。

【0072】本実施例で形成されたCMOSトランジスタは、nMOSとpMOSの各ゲート電極の仕事関数がイオン注入により相異せしめられており、両トランジスタのV<sub>th</sub>はいずれも0.6~0.7Vであった。一般に、スケーリング則に沿って動作速度を改善するためには、トランジスタのV<sub>th</sub>を電源電圧のおおよそ20%以下にする必要があると言われていたが、上記のV<sub>th</sub>の値は電源電圧が将来3Vに引き下げられても、これにほぼ対応できる値である。また、nMOSとpMOSのV<sub>th</sub>が対称化されることにより、CMOSトランジスタ回路の入出力特性の対称性を改善することができた。

【0073】なお、本実施例ではチャネル領域へのイオン注入とゲート電極の仕事関数制御を併せて行ったが、ゲート電極の仕事関数によってはチャネル領域へのイオン注入が不要とすることもできる。たとえば、nMOSとpMOSの各ゲート電極の不純物濃度を各々 $1 \times 10^{16}/\text{cm}^3$ のオーダーとした場合には、チャネル領域へのイオン注入は不要であった。

16

【0074】また、本実施例ではn<sup>+</sup>型とゲート電極5naとp<sup>+</sup>型のゲート電極5paとを形成したが、n<sup>+</sup>型とp<sup>+</sup>型の間間的な仕事関数を有するゲート電極を形成することも、もちろん可能である。

#### 【0075】実施例4

本実施例では、実施例3でWSi<sub>x</sub>層5iへ導入された不純物のアニール時の外方拡散を防止するために、ゲート電極5na、5paをSiN膜で被覆した。本実施例のプロセスを、図14ないし図17を参照しながら説明する。

【0076】まず、実施例3で上述したように、WSi<sub>x</sub>層5iへn型およびp型不純物をそれぞれ導入してnMOS形成領域をn<sup>+</sup>型のWSi<sub>x</sub>層5n、pMOS形成領域をp<sup>+</sup>型のWSi<sub>x</sub>層5pに変化させた後、基板の全面にLPCVD法により第1のSiN膜16を約30nmの厚さに堆積させ、さらにこの上に厚さ約120nmのオフセットSiO<sub>2</sub>膜6を成膜した。図14には、ここまでの工程が図示されている。

【0077】次に、図示されないレジスト・マスクを介して上記オフセットSiO<sub>2</sub>膜6、第1のSiN膜16、およびn<sup>+</sup>型とp<sup>+</sup>型のWSi<sub>x</sub>層5n、5pを順次ドライエッチングしてゲート電極5na、5paを形成した後、イオン注入を行ってn<sup>-</sup>型およびp<sup>-</sup>型のソース/ドレイン領域7、8をそれぞれ形成した。さらに、基板の全面に厚さ約30nmの第2のSiN膜17と厚さ約120nmのサイドウォール形成用のSiO<sub>2</sub>膜9とを順次堆積させた。図15には、ここまでの工程が図示されている。

【0078】次に、図16に示されるように、上記サイドウォール形成用のSiO<sub>2</sub>膜9と第2のSiN膜17とをエッチバックしてサイドウォール9SW、17SWを形成し、熱酸化により薄いSiO<sub>2</sub>膜10を形成した後、イオン注入を行ってLDD構造を有するソース/ドレイン領域7、8を形成した。この後、ゲート電極5na、5pa、およびソース/ドレイン領域7、8中の不純物を活性化させるための熱処理を行ったが、ゲート電極5na、5paは第1のSiN膜パターン16aおよび第2のSiN膜よりなるサイドウォール17SWに包囲されているため、不純物の外方拡散が抑制された。また、この熱処理をゲート電極5na、5paのパターニング後に行っているため、該ゲート電極5na、5paの内部における結晶成長が抑制され、このことも外方拡散の抑制に寄与した。

【0079】この後、SiO<sub>2</sub>層間絶縁膜11の形成、コンタクト・ホール12の開口、電極13の形成を実施例3と同様に行い、図17に示されるようなCMOSトランジスタを完成した。

【0080】本実施例では、ゲート電極5na、5pa

17

をSiN膜で被覆することにより、不純物の外方拡散を抑制し、熱処理に伴う仕事関数の変動を抑制することができた。これにより、製造されるCMOSトランジスタの信頼性と歩留りを大幅に向上させることができた。

【0081】以上、本発明を4例の実施例にもとづいて説明したが、本発明はこれらの実施例に何ら限定されるものではない。

【0082】たとえば、上述の実施例では高融点金属シリサイド層としてWSi<sub>x</sub>層のみを例示したが、この他の公知の高融点金属シリサイド層を適用しても、同様の効果が期待できる。この高融点金属シリサイド層の上には、フォトリソグラフィの精度を向上させるために、たとえばポリシリコン膜からなる反射防止膜が形成されていても良い。また、CMOSトランジスタの構築基板としてはp型ウェルを有するn型Si基板を採り上げたが、n型ウェルを有するp型Si基板、あるいはp型とn型の両方のウェルを有する $\nu$ 型Si基板を用いても良い。また、nMOSとpMOSに対するイオン注入の実施順序も、上述の逆として構わない。さらに、上述の実施例ではバルク型トランジスタを念頭に置いて説明したが、本発明はSOI基板上に形成されるトランジスタにも適用することができる。

【0083】この他、デザイン・ルール、基板構成の細部、イオン注入条件、CVD条件、ドライエッチング条件についても、適宜変更可能である。

【0084】

【発明の効果】以上の説明からも明かなように、本発明によれば密着性の不足やゲート耐圧の劣化といった問題点が解消されることにより、従来は困難であった高融点金属シリサイド層単独によるゲート電極の形成が可能となる。したがって、従来のポリサイド膜に比べて低抵抗かつ薄型で高集積化に適するゲート電極を形成することができ、トランジスタの動作速度を大幅に向上させることができる。また、成膜・加工工程もポリサイド膜に比べて簡略化されるため、製造コストの上昇を抑制することができる。さらに、本発明ではゲート電極の仕事関数の制御を通じてトランジスタのV<sub>th</sub>を正確に制御できるようになるため、将来の微細化や低電源電圧化に対応可能な高性能トランジスタの製造が可能となる。

【図面の簡単な説明】

【図1】本発明を適用して形成したWSi<sub>x</sub> (x=2.8)ゲート電極を有するMOSキャパシタのゲート絶縁膜の耐圧特性を示すヒストグラムである。

【図2】本発明を適用して形成したWSi<sub>x</sub> (x=2.9)ゲート電極を有するMOSキャパシタのゲート絶縁膜の耐圧特性を示すヒストグラムである。

【図3】本発明を適用して形成したWSi<sub>x</sub> (x=3.0)ゲート電極を有するMOSキャパシタのゲート絶縁膜の耐圧特性を示すヒストグラムである。

【図4】比較のため、従来のポリシリコン・ゲート電極

18

を有するMOSキャパシタのゲート絶縁膜の耐圧特性を示すヒストグラムである。

【図5】本発明をCMOSトランジスタのゲート電極の形成に適用したプロセス例において、n型Si基板上にp型ウェル、素子分離領域、ゲート酸化膜を形成した状態を示す模式的断面図である。

【図6】図5の基板上にWSi<sub>x</sub>層とオフセットSiO<sub>2</sub>膜を順次積層した状態を示す模式的断面図である。

【図7】図6のオフセットSiO<sub>2</sub>膜とWSi<sub>x</sub>層とを順次ドライエッチングしてゲート電極を形成し、低濃度のソース/ドレイン領域を形成した状態を示す模式的断面図である。

【図8】図7のゲート電極の側壁面にサイドウォールを形成し、高濃度のソース/ドレイン領域を形成した状態を示す模式的断面図である。

【図9】図8の基板上でSiO<sub>2</sub>層間絶縁膜の形成、コンタクト・ホール開口、配線の形成を行って、CMOSトランジスタを完成した状態を示す模式的断面図である。

【図10】本発明をCMOSトランジスタのゲート電極の形成に適用した他のプロセス例において、nMOS形成領域内のWSi<sub>x</sub>層にn型不純物のイオン注入を行っている状態を示す模式的断面図である。

【図11】pMOS形成領域内の上記WSi<sub>x</sub>層にp型不純物のイオン注入を行っている状態を示す模式的断面図である。

【図12】図11のWSi<sub>x</sub>層の上にオフセットSiO<sub>2</sub>膜を積層した状態を示す模式的断面図である。

【図13】図12の基板上でゲート電極のパターニング、サイドウォールの形成、ソース/ドレイン領域の形成、SiO<sub>2</sub>層間絶縁膜の形成、コンタクト・ホール開口、配線の形成を行って、CMOSトランジスタを完成した状態を示す模式的断面図である。

【図14】本発明をCMOSトランジスタのゲート電極の形成に適用したさらに他のプロセス例において、n型およびp型不純物を導入したWSi<sub>x</sub>層の上に第1のSiN膜とオフセットSiO<sub>2</sub>膜とを順次積層した状態を示す模式的断面図である。

【図15】図14のWSi<sub>x</sub>層をパターニングしてゲート電極を形成し、低濃度のソース/ドレイン領域を形成し、この上に第2のSiN膜とサイドウォール形成用のSiO<sub>2</sub>膜を順次積層した状態を示す模式的断面図である。

【図16】図15の第2のSiN膜とSiO<sub>2</sub>膜をエッチバックしてサイドウォールを形成し、高濃度のソース/ドレイン領域を形成した状態を示す模式的断面図である。

【図17】図16の基板上でSiO<sub>2</sub>層間絶縁膜の形成、コンタクト・ホール開口、配線の形成を行って、CMOSトランジスタを完成した状態を示す模式的断面

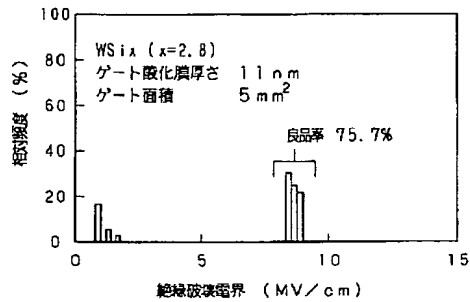
19

図である。

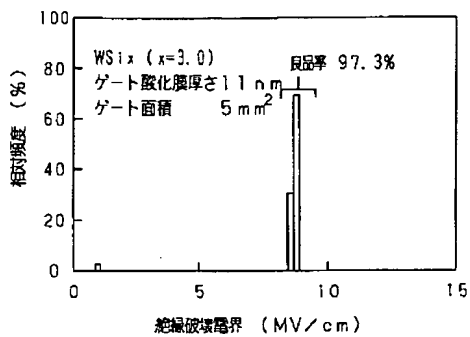
【符号の説明】

- 1 Si基板  
 2 p型ウェル  
 5i (真性)  $\text{WSi}_x$  層  
 5ia (真性 $\text{WSi}_x$ 層からなる) ゲート電極  
 5n ( $\text{n}^+$ 型)  $\text{WSi}_x$  層

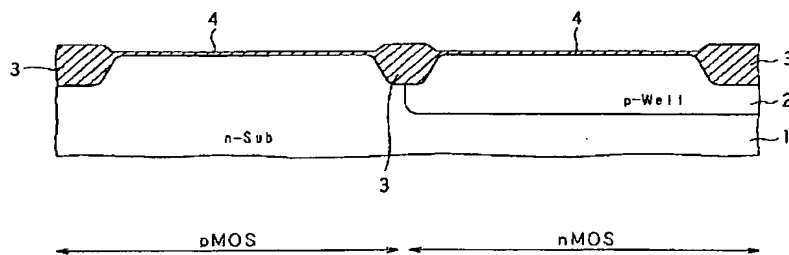
【図1】



【図3】



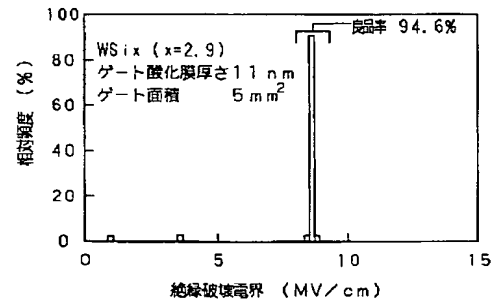
【図5】



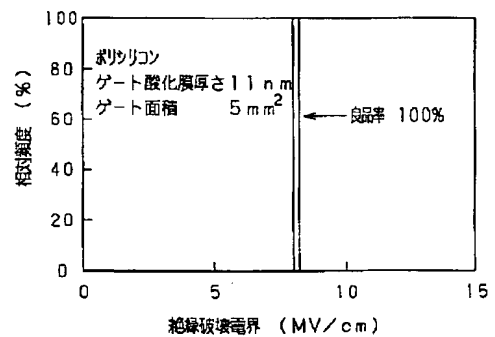
20

- \* 5na ( $\text{n}^+$ 型 $\text{WSi}_x$ 層からなる) ゲート電極  
 5p ( $\text{p}^+$ 型)  $\text{WSi}_x$  層  
 5pa ( $\text{p}^+$ 型 $\text{WSi}_x$ 層からなる) ゲート電極  
 7 (nMOSの) ソース/ドレイン領域  
 8 (pMOSの) ソース/ドレイン領域  
 16 第1のSiN膜  
 \* 17 第2のSiN膜

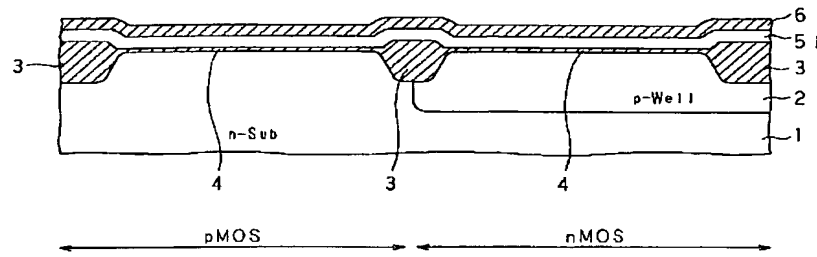
【図2】



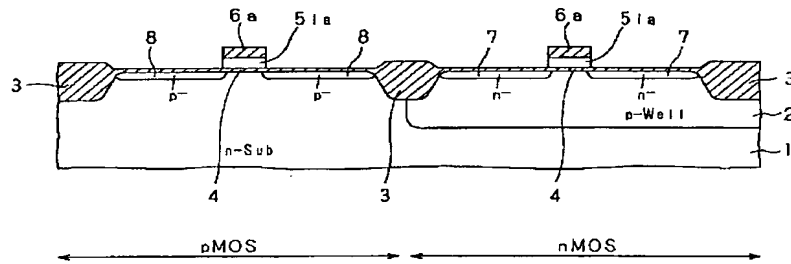
【図4】



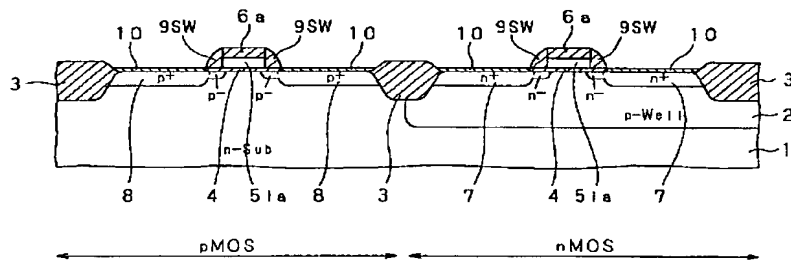
【図 6】



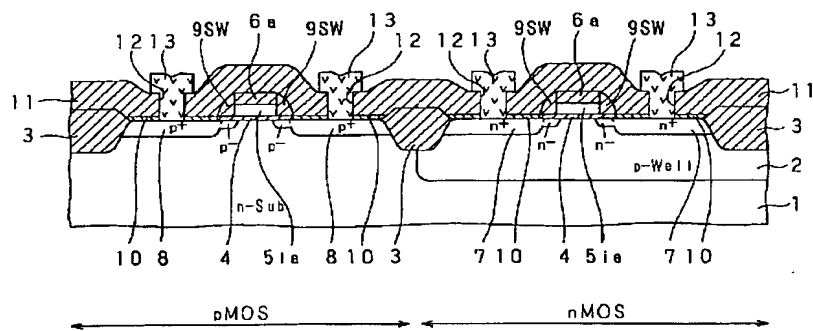
【図 7】



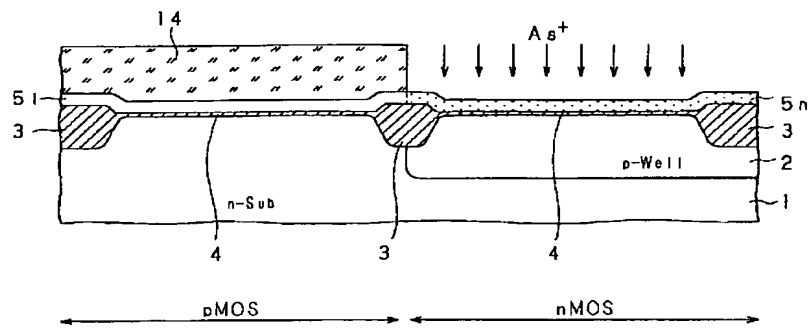
【図 8】



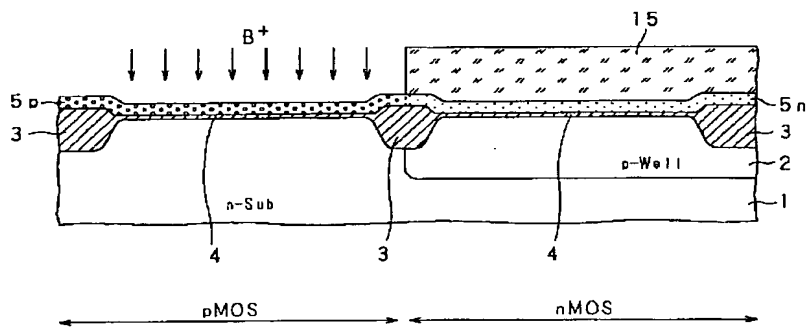
【図 9】



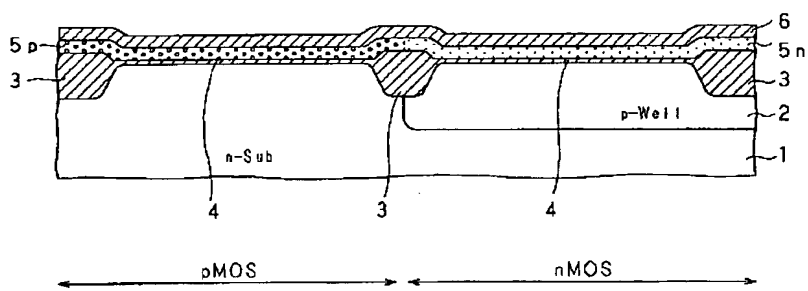
【図 10】



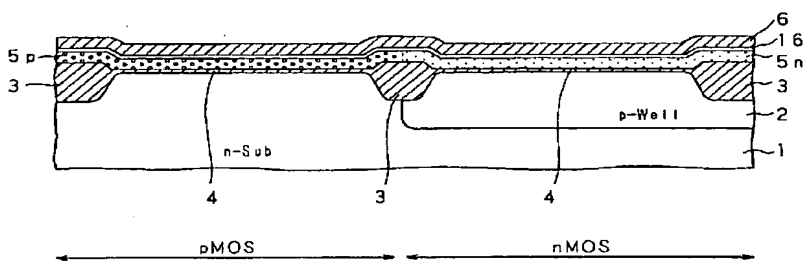
【図 11】



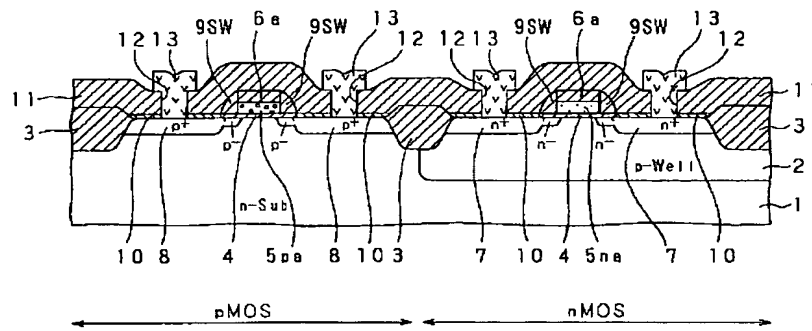
【図 12】



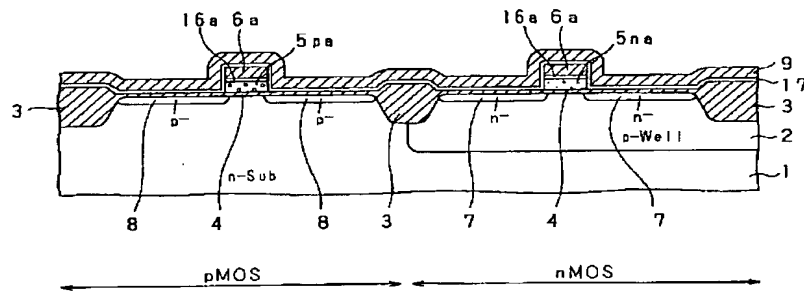
【図 14】



【図13】



【図15】



【図16】

